



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Off nl gungsschrift**
⑩ **DE 101 41 301 A 1**

⑤① Int. Cl.⁷:
H 01 L 27/108
H 01 L 21/336
H 01 L 21/8242

⑳ Aktenzeichen: 101 41 301.7
㉔ Anmeldetag: 23. 8. 2001
㉕ Offenlegungstag: 8. 5. 2002

DE 101 41 301 A 1

③① Unionspriorität:
00-48819 23. 08. 2000 KR

⑦① Anmelder:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

⑦④ Vertreter:
Kuhnen & Wacker Patentanwalts-gesellschaft mbH,
85354 Freising

⑦② Erfinder:
Ahn, Tae-Hyuk, Kyonggi, KR; Kim, Myeong-Cheol,
Suwon, KR; Jeong, Sang-Sup, Suwon, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleitervorrichtung mit einer Self-Aligned-Kontaktstruktur, die Dual-Abstandshalter verwendet, und Herstellungsverfahren dafür

⑤⑦ Die Erfindung betrifft eine Halbleitervorrichtung mit einem self-aligned (selbst ausgerichteten) Kontakt und ein Herstellungsverfahren dafür. Die Vorrichtung weist ein Halbleitersubstrat und zwei voneinander beabstandete Leiterstrukturen auf, die auf dem Substrat ausgebildet sind. Jede der Leiterstrukturen enthält eine erste Leitungsschicht, die mit einer Siliziumnitridmaskierungsschicht bedeckt ist. Siliziumoxidabstandshalter sind auf den Seiten jeder Leiterstruktur bis zu einer Höhe ausgebildet, die niedriger als die obere Oberfläche der Siliziumnitridmaskierungsschicht ist. Siliziumnitridabstandshalter sind auf den Seiten jeder Leiterstruktur und der Oberfläche der Siliziumoxidabstandshalter ausgebildet. Über die Leiterstrukturen und dem Substrat ist eine Isolationsschicht aus Siliziumoxid mit einer selbst ausgerichteten Kontaktöffnung ausgebildet, die die Siliziumnitridabstandshalter freilegt und teilweise sich über die Leiterstruktur erstreckt. Die selbst ausgerichtete Kontaktöffnung wird mit einer zweiten Leitungsschicht aufgefüllt, die self-aligned bezüglich der Leiterstrukturen ist. Die Dual-Abstandshalter bestehen aus deren Siliziumoxidabstandshalter und dem Siliziumnitridabstandshalter, die auf den Seiten der Leiterstruktur ausgebildet sind, und erniedrigen die Ladungskapazität zwischen der ersten Leitungsschicht und der zweiten Leitungsschicht innerhalb der selbst ausgerichteten Kontaktöffnung, während sie weiterhin eine ausreichende Isolation gegen ...

DE 101 41 301 A 1

Beschreibung

Hintergrund der Erfindung

1. Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft eine Halbleitervorrichtung und ein Herstellungsverfahren dafür, und insbesondere eine Halbleitervorrichtung mit einer Self-Aligned-Kontaktstruktur, die Dual-Abstandshalter aus unterschiedlichen Materialien verwendet, und ein Herstellungsverfahren dafür.

2. Beschreibung des Stands der Technik

[0002] Da die Elemente einer Halbleitervorrichtung immer dichter integriert werden, werden charakteristische Größen der Muster, die auf einem Chip ausgebildet werden, wie etwa die Breite einer Leitungsschicht und der Raum zwischen den Leitungsschichten immer kleiner und kleiner. Ein besonders wichtiges Verfahren bei jedem Halbleiterherstellungsverfahren ist die Ausbildung von Kontakten, die die isolierten Bereiche verbinden, die auf einem Halbleitersubstrat mit einer Leitungsschicht ausgebildet sind. Eine Schlüsselüberlegung bei der Ausbildung dieser Kontakte ist das Sicherstellen von ausreichenden Ausrichtungs- und Isolationsgrenzen bzw. -spielräumen, welche zu vergrößerten Kontaktbereichen geführt haben. Dementsprechend ist bei Speichervorrichtungen, wie beispielsweise dynamischen Speicher mit wahlfreiem Zugriff (DRAM), die Kontaktfläche eine wichtiger Faktor, der die Größe einer Speicherzelle bestimmt.

[0003] Bei hochintegrierten Halbleitervorrichtungen, die eine Technologie mit einer charakteristischen Größe von nicht mehr als 0,25 Mikron verwenden, wird es schwierig, kleine Kontaktöffnungen mit herkömmlichen Herstellungsverfahren auszubilden. Insbesondere bei Speichervorrichtungen, die eine Vielzahl von Leitungsschichten verwenden, ist die Höhe zwischen den Leitungsschichten aufgrund einer dazwischenliegenden Isolationszwischenschicht vergrößert, so daß die Ausbildung eines Kontaktes zwischen den Leitungsschichten sehr schwierig wird. Dementsprechend ist für die Fälle, bei denen eine Steuerung der Design Rule (d. h. der Designparameter) beschränkt ist und komplexe Muster bzw. Masken wie beispielsweise Speicherzellen, wiederholt werden, ein Verfahren entwickelt worden, bei dem eine Kontaktöffnung durch eine Self-Aligned-Technik ausgebildet wird, um die Zellenfläche zu verringern.

[0004] Bei herkömmlichen Self-Aligned-Kontaktverfahren wird der Kontakt unter Verwendung des Stufenunterschieds einer peripheren Struktur ausgebildet. Kontakte mit verschiedenen Größen können ohne die Verwendung einer Maske erzielt werden, anhängig von der peripheren Strukturhöhe, der Dicke des Isolationsmaterials an der Stelle, an der die Kontaktöffnung ausgebildet werden soll, und dem Ätzverfahren. Bei diesem weit verbreiteten Self-Aligned-Kontaktverfahren wird eine Kontaktöffnung durch ein Ausnutzen der Ätzselektivität der Oxid- und Nitridschichten, während der Verwendung eines anisotropen Ätzverfahrens ausgebildet.

[0005] Fig. 1 zeigt eine Querschnittsansicht einer Halbleitervorrichtung mit einer Self-Aligned-Kontaktstruktur (im Folgenden wird "self-aligned" mit "selbst ausgerichtet" bezeichnet), die gemäß einem herkömmlichen Verfahren ausgebildet worden ist. Gemäß Fig. 1 enthalten linienartige Leitungsstrukturen 19, die auf einem Halbleitersubstrat 10 ausgebildet sind, eine erste Leitungsschicht 16 und eine Siliziumnitridschicht 18, die auf der ersten Leitungsschicht 16

"gestapelt" bzw. aufgebracht ist. Nach Ausbilden von Siliziumnitridabstandshaltern 20 an den Seiten der Leitungsstrukturen 19 wird eine Isolationsschicht 22, die aus Siliziumoxid besteht, über den Leitungsstrukturen 19 und dem Substrat 10 ausgebildet. Anschließend wird ein anisotropes Ätzverfahren, das die selektiven Ätzraten der Siliziumoxid- und Siliziumnitridschicht ausnutzt, verwendet, um zum Ausbilden einer selbst ausgerichteten (self-aligned) Kontaktöffnung 23, die den Substratbereich zwischen den Leiterstrukturen 19 freilegt, die Siliziumoxidisolationsschicht 22 wegzuzutragen.

[0006] Nach einem Auftragen einer zweiten Leitungsschicht 24, welche die selbst ausgerichtete Kontaktöffnung 23 auffüllt, wird die zweite Leitungsschicht 24 durch ein Rückätzverfahren oder ein chemisch-mechanisches Polieren (CMP) entfernt, bis die obere Oberfläche der Isolationschicht 22 freigelegt ist. Im Ergebnis ist damit eine selbst ausgerichtete Kontaktstruktur in der selbst ausgerichteten Kontaktöffnung 23 ausgebildet.

[0007] Bei diesem herkömmlichen Verfahren wird die Siliziumoxidisolationsschicht 22 unter der Bedingung geätzt, daß das Siliziumoxid schneller als das Siliziumnitrid auf der ersten Leitungsschicht 16 aufgetragenen Siliziumnitridschicht 18 geätzt wird, wodurch die selbst ausgerichtete Kontaktöffnung 23 ausgebildet wird. Da Siliziumnitrid ein nicht-leitendes Material ist, wird zwischen der ersten Leitungsschicht 16, die von der Siliziumnitridschicht 18 bedeckt wird, und der zweiten Leitungsschicht 24 innerhalb der selbst ausgerichteten Kontaktöffnung kein elektrischer Kurzschluß erzeugt. Da jedoch die Dielektrizitätskonstante von Siliziumnitrid 7,5 beträgt, wird die Kapazität zwischen der ersten Leitungsschicht 16 und der zweiten Leitungsschicht 24, verglichen mit einer allgemeinen bzw. herkömmlichen Kontaktstruktur, bei welcher die erste Leitungsschicht von der zweiten Leitungsschicht unter Verwendung einer Siliziumoxidschicht mit einer Dielektrizitätskonstanten von 3,9 elektrisch isoliert ist, um einen Faktor von 2 vergrößert.

[0008] Für den Fall einer DRAM-Vorrichtung, bei der eine Kondensator-Kontaktöffnung so ausgebildet ist, daß sie mit einer Bitleitung, die die oben beschriebene Self-Aligned-Kontaktstruktur verwendet, selbst ausgerichtet ist, wird eine Bitleitungskapazität (C_{BL}) verglichen mit einer allgemeinen bzw. herkömmlichen Kontaktstruktur vergrößert, bei welcher die Bitleitung und der Kondensatorkontaktstopfen bzw. -stecker (d. h., die Speicherelektrode) voneinander durch die Siliziumoxidschicht isoliert sind, was zu einer verringerten Zellkapazität führt. Wenn beispielsweise eine selbst ausgerichtete Kondensator-Kontaktöffnung in einer DRAM-Vorrichtung mit einem Designparameter von 0,15 µm ausgebildet ist, wird eine Ladungskapazität zwischen der Bitleitung und der Speicherelektrode so erhöht, daß die Bitleitungskapazität (C_{BL}) auf 30 fF erhöht wird.

[0009] Fig. 2 zeigt eine Querschnittsansicht einer Halbleitervorrichtung mit einer selbst ausgerichteten Kontaktstruktur gemäß einem anderen herkömmlichen Verfahren, welches Dual-Abstandshalter verwendet. Gemäß Fig. 2 enthalten Leitungsstrukturen 39 vom Zahlentyp, die auf einem Halbleitersubstrat 30 ausgebildet sind, eine erste Leitungsschicht 36, die von einer Siliziumnitridschicht 38 bedeckt ist. An den Seiten der Leitungsstrukturen 39 werden zwei Abstandshalter, die aus einem Siliziumoxidabstandshalter 40 und einem Siliziumnitridabstandshalter 42 bestehen, ausgebildet. Eine Isolationsschicht 44 wird über den Leitungsstrukturen 39 und dem Substrat 30 ausgebildet und zum Ausbilden einer selbst ausgerichteten Kontaktöffnung 45 maskiert, die einen Abschnitt des Substrat 30 zwischen den Leitungsstrukturen 39 freilegt. Die selbst ausgerichtete

Kontaktöffnung 45 wird mit einer zweiten Leitungsschicht 46 aufgefüllt, um dadurch eine selbst ausgerichtete Kontaktstruktur auszubilden.

[0010] Gemäß diesem zweiten herkömmlichen Verfahren werden Abstandshalter 40, die aus Siliziumoxid mit einer niedrigeren Dielektrizitätskonstanten als Siliziumnitrid bestehen, auf beiden Seiten der Leitungsstrukturen 39 ausgebildet und anschließend werden weiter die Abstandshalter 42, die aus Siliziumnitrid bestehen, zum Verwicklichen des selbst ausgerichteten Kontaktes ausgebildet. Falls jedoch eine Fehlausrichtung während eines Lithographieverfahrens für den selbst ausgerichteten Kontakt auftritt, kann dies zu der unerwünschten Situation führen, daß das Ätzen in der Nähe der Ecken der Leitungsstrukturen 39 derart fortschreitet, daß der Siliziumabstandshalter 40 zusammen mit der Siliziumoxidisolationsschicht 44 schnell geätzt wird, und somit die Oberfläche der ersten Leitungsschicht 36 freigelegt wird. Folglich kann ein elektrischer Kurzschluß zwischen der ersten Leitungsschicht 36 und der zweiten Leitungsschicht 46 innerhalb der selbst ausgerichteten Kontaktöffnung 45 erzeugt werden.

[0011] Ein anderes herkömmliches Verfahren, bei dem eine selbst ausgerichtete Kontaktstruktur unter Verwendung von Dual-Abstandshaltern realisiert ist, die aus einem Siliziumoxidabstandshalter und einem Siliziumnitridabstandshalter bestehen, wird in dem US-Patent Nr. 5 899 722 offenbart. Fig. 3 zeigt eine Querschnittsansicht einer in diesem US-Patent offenbarten Halbleitervorrichtung.

[0012] Gemäß Fig. 3 enthalten linienartige Halbleiterstrukturen 59, die auf einem Halbleitersubstrat 50 ausgebildet sind, eine erste Leitungsschicht 56, die mit einer Siliziumnitridschicht 58 bedeckt ist. Ein Siliziumnitridabstandshalter 60 und ein Siliziumoxidabstandshalter 62 werden aufeinanderfolgend auf den Seiten der Leitungsstrukturen 59 ausgebildet. Eine Siliziumoxid-Isolationsschicht 64 wird über den Leitungsstrukturen 59 und dem Substrat 50 ausgebildet. Durch Benutzen eines anisotropen Ätzverfahrens unter Verwendung der selektiven Ätzraten der Siliziumoxid- und Siliziumnitridschichten wird die Isolationsschicht 64 zum Ausbilden einer selbst ausgerichteten Kontaktöffnung 65, die einen Abschnitt des Substrats 50 zwischen den Leitungsstrukturen 59 freilegt, weggeätzt.

[0013] Während diesen anisotropen Ätzverfahrens werden die Siliziumoxidabstandshalter 62 innerhalb der selbst ausgerichteten Kontaktöffnung 65 zusammen mit der Siliziumoxidisolationsschicht 64 weggeätzt. Anschließend wird die selbst ausgerichtete Kontaktöffnung 65 mit einer zweiten Leitungsschicht 66 aufgefüllt, um dadurch die selbst ausgerichtete Kontaktstruktur auszubilden.

[0014] Gemäß dem in US-Patent Nr. 5 899 722 offenbarten Verfahren wird, obwohl eine Fehlausrichtung während eines lithographischen Verfahrens zum Ausbilden des selbst ausgerichteten Kontaktes auftreten derart kann, daß das Ätzen in der Nähe der Ecken der Halbleiterstrukturen 59 fortschreitet, kein elektrischer Kurzschluß zwischen der ersten Leitungsschicht 56 und der zweiten Leitungsschicht 66 erzeugt, da die obere Oberfläche und die Seiten der ersten Leitungsschicht 56 mit der nichtleitenden Siliziumnitridschicht 58 und dem Siliziumnitridabstandshalter 60 bedeckt sind. Da jedoch die Siliziumoxidabstandshalter 62 innerhalb der selbst ausgerichteten Kontaktöffnung 65 während des Ätzverfahrens entfernt werden, bestehen lediglich die Siliziumnitridabstandshalter mit einer höheren Dielektrizitätskonstante als das Siliziumoxid zwischen der ersten Leitungsschicht 56 und der zweiten Leitungsschicht 66, welche ähnlich zu dem in Fig. 1 gezeigten herkömmlichen Verfahren ist. Dementsprechend ist die Ladungskapazität zwischen der ersten Leitungsschicht 56 und der zweiten Leitungsschicht

66 innerhalb der selbst ausgerichteten Kontaktöffnung 65 nicht erniedrigt und ist ähnlich der in Bezug auf Fig. 1 beschriebenen.

[0015] Die US-Patent Nr. 5 731 236, 5 766 992 und 5 817 562 offenbaren allgemeine Verfahren, bei welchen ein Siliziumnitridabstandshalter ausgebildet wird, nachdem ein Siliziumoxidabstandshalter an den Seiten der Leitungsstruktur ausgebildet worden ist. Da gemäß diesen Verfahren der Siliziumoxidabstandshalter durch ein thermisches Oxidationsverfahren ausgebildet worden ist, ist der Siliziumoxidabstandshalter sehr dünn (z. B. eine Dicke von weniger als ca. 100 Å), was nicht zu einer Verringerung einer Ladungskapazität führt. Wenn jedoch der Siliziumoxidabstandshalter relativ schnell während des Ätzverfahrens zu dem selbst ausgerichteten Kontakt geätzt wird, wird ein elektrischer Kurzschluß zwischen der Leitungsschicht und der leitenden Struktur innerhalb der selbst ausgerichteten Kontaktöffnung erzeugt. Ferner können diese Verfahren nicht bei Fällen angewendet werden, bei denen der Leiter aus einem Metall besteht, das leicht oxidiert werden kann.

Kurzfassung der Erfindung

[0016] Es ist daher eine erste Aufgabe der vorliegenden Erfindung, eine Halbleitervorrichtung zum Verringern der Ladungskapazität zwischen einer ersten Leitungsschicht und einer zweiten Leitungsschicht innerhalb einer selbst ausgerichteten Kontaktöffnung zu schaffen.

[0017] Es ist eine zweite Aufgabe der vorliegenden Erfindung, eine DRAM-Vorrichtung zu schaffen, bei welcher eine Kondensator-Kontaktöffnung durch ein selbst ausgerichtetes Kontaktverfahren mit einer Bitleitung ausgebildet wird, wodurch die Ladungskapazität zwischen der Bitleitung und einer Leitungsschicht innerhalb der Kondensator-Kontaktöffnung verringert wird.

[0018] Es ist eine dritte Aufgabe der vorliegenden Erfindung, ein Herstellungsverfahren für eine Halbleitervorrichtung zum Verringern der Ladungskapazität zwischen einer ersten Leitungsschicht und einer zweiten Leitungsschicht innerhalb einer selbst ausgerichteten Kontaktöffnung zu schaffen.

[0019] Es ist eine vierte Aufgabe der vorliegenden Erfindung, ein Herstellungsverfahren für eine DRAM-Vorrichtung zum Verringern der Ladungskapazität zwischen einer Bitleitung und einer zweiten Leitungsschicht innerhalb einer mit der Bitleitung selbst ausgerichteten Kondensator-Kontaktöffnung zu schaffen.

[0020] In Übereinstimmung mit einem ersten Aspekt der vorliegenden Erfindung, wird eine Halbleitervorrichtung vorgesehen, die ein Halbleitersubstrat und zwei voneinander beabstandete auf dem Halbleitersubstrat ausgebildete Leitungsstrukturen aufweist, wobei jede der Leitungsstrukturen eine erste Leitungsschicht und eine auf der ersten Leitungsschicht aufgebrachte Siliziumnitridmaskierungsschicht aufweist. Siliziumoxidabstandshalter sind auf beiden Seiten aller Leitungsstrukturen ausgebildet, wobei die obere Oberfläche der Siliziumoxidabstandshalter mit einer Höhe ausgebildet sind, die niedriger als eine obere Oberfläche einer Siliziumnitridmaskierungsschicht ist, wodurch obere Seitenabschnitte der Leitungsstrukturen teilweise freigelegt sind. Anschließend werden Siliziumnitridabstandshalter auf den freigelegten oberen Seitenabschnitten der Leitungsstrukturen und der Oberfläche der Siliziumoxidabstandshalter ausgebildet. Eine Isolationsschicht deckt die Leitungsstrukturen und das Halbleitersubstrat ab, wobei die Isolationsschicht eine selbst ausgerichtete Kontaktöffnung aufweist, die die Siliziumnitridabstandshalter zwischen den beabstandeten Leitungsstrukturen freilegt. Eine zweite Leitungs-

schicht füllt die selbst ausgerichtete Kontaktöffnung auf und ist mit den Leitungsstrukturen selbst ausgerichtet (self-aligned).

[0021] Bei dem zweiten Aspekt der Erfindung wird eine dynamische Speichervorrichtung mit wahlfreiem Zugriff vorgesehen, die eine auf einem Halbleitersubstrat ausgebildete erste Isolationszwischenschicht aufweist, in welcher Transistoren bestehend aus einem Gate, einem Kondensator-Kontaktbereich und einem Bitleitungs-Kontaktbereich ausgebildet sind. Die erste Isolationszwischenschicht weist eine Bitleitungs-Kontaktöffnung auf, die den Bitleitungs-Kontaktbereich freilegt. Zwei beabstandete Bitleitungsstrukturen sind auf der ersten Isolationszwischenschicht ausgebildet. Der Kondensator-Kontaktbereich ist unterhalb angeordnet und zwischen den Bitleitungsstrukturen ausgerichtet, und jede der Bitleitungsstrukturen enthält eine Bitleitung, die mit dem Bitleitungs-Kontaktbereich über eine Bitleitungs-Kontaktöffnung in Kontakt steht, und eine auf der Bitleitung aufgebrachte Siliziumnitridmaskierungsschicht. Siliziumoxidabstandshalter sind auf den Seiten jeder Bitleitungsstruktur ausgebildet, wobei eine obere Oberfläche der Oxidabstandshalter mit einer Höhe ausgebildet ist, die höher als die obere Oberfläche der Siliziumnitridmaskierungsschicht ist, wodurch obere Seitenabschnitte der Bitleitungsstrukturen teilweise freigelegt sind. Siliziumnitridabstandshalter werden auf den freigelegten oberen Seitenabschnitten jeder der Bitleitungsstrukturen und der Oberfläche der Siliziumoxidabstandshalter ausgebildet. Eine zweite Isolationszwischenschicht, die auf den Bitleitungsstrukturen und der ersten Isolationszwischenschicht abgebildet ist, enthält eine selbst ausgerichtete Kontaktöffnung, die Siliziumnitridabstandshalter in dem Kondensator-Kontaktbereich freilegt. Eine Kondensatorleitungsschicht füllt die selbst ausgerichtete Kontaktöffnung auf und ist mit dem Bitleitungsstrukturen selbst ausgerichtet.

[0022] Gemäß der vorliegenden Erfindung sind Dual-Abstandshalter (d. h., ein Siliziumoxidabstandshalter und ein Siliziumnitridabstandshalter) an den Seiten der Leitungsstrukturen ausgebildet, die die erste die mit der Siliziumnitridmaskierungsschicht bedeckte Leitungsschicht aufweisen. Die Seiten der ersten Leitungsschicht sind mit den Siliziumoxidabstandshalter mit einer niedrigen Dielektrizitätskonstante bedeckt, wodurch die Ladungskapazität zwischen der ersten Leitungsschicht und der zweiten Leitungsschicht innerhalb der selbst ausgerichteten Kontaktöffnung verringert ist.

[0023] Da ferner die obere Oberfläche der Siliziumoxidabstandshalter mit einer Höhe ausgebildet ist, die niedriger als die obere Oberfläche der Siliziumnitridmaskierungsschicht ist, bestehen lediglich die Siliziumnitridabstandshalter an den Ecken der Leitungsstruktur. Dementsprechend wird, obgleich eine Fehlausrichtung während eines lithographischen Verfahrens für den selbst ausgerichteten Kontakt erzeugt werden kann, kein elektrischer Kurzschluß zwischen der ersten Leitungsschicht und der zweiten Leitungsschicht innerhalb der selbst ausgerichteten Kontaktöffnung erzeugt.

Kurze Beschreibung der Zeichnungen

[0024] Die obigen Merkmale und anderen Vorteile der vorliegenden Erfindung werden unter Bezugnahme auf die beispielhaften Ausführungsformen in Zusammenhang mit der beigefügten Zeichnung besser ersichtlich, in welcher:

[0025] Fig. 1 eine Querschnittsansicht einer Halbleitervorrichtung mit einer Self-Aligned-Kontaktstruktur gemäß einem ersten herkömmlichen Verfahren zeigt;

[0026] Fig. 2 eine Querschnittsansicht einer Halbleiter-

vorrichtung mit einer Self-Aligned-Kontaktstruktur gemäß einem anderen herkömmlichen Verfahren zeigt;

[0027] Fig. 3 eine Querschnittsansicht einer Halbleitervorrichtung mit einer Self-Aligned-Kontaktstruktur gemäß einem weiteren anderen herkömmlichen Verfahren zeigt;

[0028] Fig. 4 eine Querschnittsansicht einer Halbleitervorrichtung mit einer Self-Aligned-Kontaktstruktur gemäß einer Ausführungsform der vorliegenden Erfindung zeigt;

[0029] Fig. 5 eine Draufsicht einer DRAM-Vorrichtung gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung zeigt;

[0030] Fig. 6 eine Querschnittsansicht einer DRAM-Vorrichtung mit einer Self-Aligned-Kontaktöffnung gemäß einer ersten Ausführungsform der vorliegenden Erfindung entlang einer Linie 6-6' in Fig. 5 zeigt;

[0031] Fig. 7A bis 7H Querschnittsansichten zeigen, wie ein Herstellungsverfahren der in Fig. 6 gezeigten DRAM-Vorrichtung darstellen; und

[0032] Fig. 8 eine Querschnittsansicht einer DRAM-Vorrichtung mit einer Self-Aligned-Kontaktöffnung gemäß einer zweiten Ausführungsform der vorliegenden Erfindung entlang einer Linie 8-8' in Fig. 5 zeigt.

Beschreibung der bevorzugten Ausführungsformen

[0033] Im Folgenden wird die vorliegende Erfindung unter Bezugnahme auf die beiliegende Zeichnung, in welcher bevorzugte Ausführungsformen der Erfindung gezeigt sind, detaillierter beschrieben. Die Erfindung kann jedoch verschiedenen Formen ausgeführt sein und sollte nicht als auf die hierin dargelegten Ausführungsformen beschränkt ausgelegt werden; vielmehr sind diese Ausführungsformen dazu vorgesehen, die Offenbarung möglichst gründlich und vollständig zu machen, und dem Fachmann das Konzept der Erfindung vermitteln. In der Zeichnung ist die Dicke der Schichten und der Bereiche der Übersichtlichkeit halber vergrößert dargestellt. Ebenso ist es ersichtlich, daß wenn eine Schicht als "auf" einer anderen Schicht oder Substrat bezeichnet wird, diese Schicht entweder direkt auf der anderen Schicht oder dem Substrat angeordnet sein kann oder ebenso dazwischenliegende Schichten vorhanden sein können.

[0034] Fig. 4 zeigt eine Querschnittsansicht einer Halbleitervorrichtung mit einer selbst ausgerichteten Kontaktstruktur gemäß einer Ausführungsform der vorliegenden Erfindung. Gemäß Fig. 4 sind zwei Leitungsstrukturen 105, von denen jede eine erste Leitungsschicht 102 und eine auf der ersten leitenden Schicht 102 aufgebrachte Siliziumnitridmarkierungsschicht 104 enthält, auf einem Halbleitersubstrat 100 ausgebildet. Die linienartigen Leitungsstrukturen 105 sind mit einem vorbestimmten Zwischenraum (S) ausgebildet. Vorzugsweise besteht die erste Leitungsschicht 102 aus einem Metall, wie beispielsweise Wolfram (W), Titan (Ti) oder Titanitrid (TiN). Alternativ kann die erste leitende Schicht 102 aus dotiertem Polysilizium bestehen.

[0035] Dual-Abstandshalter, die aus einem Siliziumoxidabstandshalter 106 und einem Siliziumnitridabstandshalter 108 bestehen, werden an den Seiten der Leitungsstrukturen 105 ausgebildet. Der Siliziumabstandshalter 6 ist mit einer Höhe ausgebildet, die niedriger als die obere Oberfläche 104a der Siliziumnitridmarkierungsschicht 104 ist, wodurch die oberen Abschnitte der Seiten 104b der Leitungsstrukturen 105 teilweise freigelegt sind. Der Siliziumnitridabstandshalter 108 ist ein äußerer Abstandshalter und ist durchgängig an den freigelegten Seiten 104b der Leitungsstrukturen 105 und auf den Oberflächen der Siliziumoxidabstandshalter 106 ausgebildet.

[0036] Vorzugsweise besteht der Siliziumoxidabstands-

halter 106 aus einem mit chemischer Dampfabcheidungsverfahren abgeschiedenem Siliziumoxid und ist so ausgebildet, daß der Abstand (d) zwischen der oberen Oberfläche 104a der Siliziumnitridmaskierungsschicht 104 und der oberen Oberfläche 106a der Siliziumoxidabstandshalter 106 mehr als ungefähr 300 Å beträgt. Bei einer alternativen Ausführungsform kann die obere Oberfläche 106a des Siliziumoxidabstandshalters niedriger als die Bodenoberfläche 104c der Siliziumnitridmaskierungsschicht 104 ausgebildet sein.

[0037] Über den Leitungsstrukturen 105 und dem Halbleitersubstrat 100 wird eine Siliziumoxidisolationsschicht 110 ausgebildet, welche danach zum Ausbilden einer selbst ausgerichteten Kontaktöffnung 112, die die Siliziumnitridabstandshalter 108 in dem Zwischenraum (S) der Leitungsstrukturen 105 freilegt, maskiert wird. Die Siliziumoxidationsschicht 110 erstreckt sich ebenso teilweise über die obere Oberfläche der Leitungsstrukturen 105.

[0038] Die selbst ausgerichtete Kontaktöffnung 112 wird mit einer zweiten Leitungsschicht 114 aufgefüllt. Die zweite Leitungsschicht 114 ist mit den Leitungsstrukturen 105 selbst ausgerichtet, wodurch eine selbst ausgerichtete Kontaktstruktur ausgebildet ist. Die zweite Leitungsschicht 114 kann zu einem stöpsel- bzw steckerartigen (plug type) Kontakt ausgebildet werden, wie in Fig. 4 gezeigt, oder kann zu einem vorbestimmten Muster durch ein herkömmliches Lithographieverfahren ausgebildet werden.

[0039] Fig. 5 zeigt eine Draufsicht einer DRAM-Vorrichtung gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung und zeigt einen Speicherzellenbereich.

[0040] Fig. 6 zeigt eine Querschnittsansicht einer DRAM-Vorrichtung mit einer selbst ausgerichteten Kontaktöffnung gemäß einer ersten Ausführungsform der vorliegenden Erfindung entlang einer Linie 6-6' in Fig. 5.

[0041] Gemäß Fig. 5 und 6 werden auf einem Halbleitersubstrat 200, das durch eine Feldoxidschicht 202 in einen aktiven Bereich 201 und einen Isolationsbereich aufgeteilt ist, Transistoren bestehend aus einem Gate 203 für eine Wortleitung, einem Kondensator-Kontaktbereich (z. B. Source-Bereich) 205a und ein Bitleitungs-Kontaktbereich (Drain-Bereich) 205b ausgebildet. Über den Source-Drain-Bereichen 205a und 205b des Transistors können Lötäugenelektroden bzw. Elektrodenpads 204a und 204b ausgebildet werden, um die Formfaktoren (aspect ratios) der darauf ausgebildeten Kontaktöffnungen zu verringern.

[0042] Über den Transistoren und dem Halbleitersubstrat 200 ist eine erste Isolationszwischenenschicht 206 mit einer Bitleitungs-Kontaktöffnung 207, die den Drain-Bereich 205b freilegt, oder die Lötäugenelektrode 204b ausgebildet, die einen Kontakt mit dem Drain-Bereich 205b hat.

[0043] Auf der ersten Isolationszwischenenschicht 206 werden zwei Bitleitungsstrukturen 211, die eine Bitleitung 208 enthält, die einen Kontakt mit dem Drain-Bereich 205b über die Bitleitungs-Kontaktöffnung 207 herstellt, und eine Siliziumnitridmaskierungsschicht 210, die auf der Bitleitung 208 aufgebracht ist, ausgebildet. Jede der Bitleitungsstrukturen 211 ist zu einer Linie maskiert. Der Kondensator-Kontaktbereich (z. B. der Source-Bereich 205a oder die Pad-Elektrode 204a, die im Kontakt mit dem Source-Bereich 205a steht) ist zwischen den Bitleitungsstrukturen 211 unterliegend angeordnet. Mit anderen Worten der Kondensator-Kontaktbereich ist unterhalb angeordnet und zwischen den Bitleitungsstrukturen ausgerichtet.

[0044] Dual-Abstandshalter werden auf beiden Seiten jeder Bitleitungsstruktur 211 ausgebildet und enthalten einen Siliziumoxidabstandshalter 212 und einen Siliziumnitridabstandshalter 214. Der Siliziumoxidabstandshalter 212 ist mit einer Höhe ausgebildet, die niedriger als die obere Oberflä-

che 210a der Siliziumnitridmaskierungsschicht 210 ist, wodurch die oberen Abschnitte der Seiten 210b jeder Bitleitungsstruktur 211 teilweise freigelegt sind. Vorzugsweise besteht der Siliziumoxidabstandshalter 212 aus einem CVD-Siliziumoxid und ist so ausgebildet, daß der Abstand (d) zwischen der oberen Oberfläche 210a der Siliziumnitridmaskierungsschicht 210 zu der oberen Oberfläche 212a des Siliziumoxidabstandshalters 212 mehr als ungefähr 300 beträgt. Bei einer alternativen Ausführungsform kann die obere Oberfläche 212a des Siliziumoxidabstandshalters 212 niedriger als die Bodenoberfläche 210d der Siliziumnitridmaskierungsschicht 210 ausgebildet sein.

[0045] Der Siliziumnitridabstandshalter 214 ist ein äußerer Abstandshalter und ist durchgehend auf der Seite 210b jeder Bitleitungsstruktur 211 und auf der Oberfläche der Siliziumoxidabstandshalter 212 ausgebildet.

[0046] Eine zweite Isolationszwischenenschicht 216 ist auf den Bitleitungsstrukturen 211 und der ersten Isolationszwischenenschicht 206 ausgebildet. Durch die zweite Isolationszwischenenschicht 216 wird eine selbst ausgerichtete Kontaktöffnung 218 ausgebildet, die die Siliziumnitridabstandshalter 214 in dem Kondensator-Kontaktbereich (z. B. der Source-Bereich 205a oder die Pad-Elektrode 204, die in Kontakt mit dem Source-Bereich 205a steht) freilegt, und erstreckt sich teilweise über die obere Oberfläche jeder der Bitleitungsstrukturen 211.

[0047] Die selbst ausgerichtete Kontaktöffnung 218 wird mit einer Kondensator-Leitungsschicht 220 aufgefüllt. Die Kondensator-Leitungsschicht 220 ist zu den Bitleitungsstrukturen 211 selbst ausgerichtet, um dadurch eine selbst ausgerichtete Kontaktstruktur auszubilden. Die Kondensator-Leitungsschicht 220 kann zu einem steckerartigen Kontakt, wie in Fig. 6 gezeigt, ausgebildet werden, oder kann zu einem Speicherelektrodenmuster durch ein herkömmliches Lithographieverfahren ausgebildet sein.

[0048] Fig. 7A bis 7H sind Querschnittsansichten, die ein Herstellungsverfahren der in Fig. 6 gezeigten DRAM-Vorrichtung darstellen. Fig. 7A stellt den Schritt eines Ausbildens der Bitleitungsstrukturen 211 dar. Gemäß einem herkömmlichen Isolationsverfahren, z. B. einem verbesserten LOCOS-Verfahren (Local Oxidation of Silizium), wird eine Feldoxidschicht 202 auf einem Halbleitersubstrat 200 ausgebildet. Dementsprechend ist das Halbleitersubstrat 200 in einen aktiven Bereich (201 in Fig. 5) und einen Isolationsbereich aufgeteilt.

[0049] Anschließend werden Transistoren auf dem aktiven Bereich 201 des Halbleitersubstrats 200 ausgebildet. Insbesondere nach einem Aufwachsen einer dünnen Gate-Oxidschicht (nicht gezeigt) auf der Oberfläche des aktiven Bereichs 201 unter Verwendung eines thermischen Oxidationsverfahrens wird ein Gate 203 darauf zur Verwendung als eine Wortleitung ausgebildet. Vorzugsweise weist das Gate 203 eine Polyzidstruktur auf, die eine Polysiliziumschicht (welche unter Verwendung eines herkömmlichen Dotierungs-Verfahrens, wie beispielsweise Diffusion, Ionenimplantation oder In-Situ-Dotierung, stark dotiert worden ist) und einer Wolfram-Silizidschicht aufweist, die auf der Polysiliziumschicht aufgebracht ist. Ferner ist das Gate 203 mit einer Siliziumoxidschicht oder einer Siliziumnitridschicht (nicht gezeigt) bedeckt. An den Seiten des Gates 203 sind Abstandshalter (nicht gezeigt) ausgebildet, die aus Siliziumoxid oder Siliziumnitrid bestehen. Anschließend werden Dotierungs-Ionen unter Verwendung des Gates 203 als eine Maske zum Ausbilden von Source-Drain-Bereichen 205a und 205b in der Oberfläche des aktiven Bereichs 201 implantiert. Einer dieser Dotierungsbereiche ist ein Kondensator-Kontaktbereich, der mit der Speicherelektrode eines Kondensators verbunden wird, und der andere ist ein Bitlei-

tungs-Kontaktbereich, der mit einer Bitleitung verbunden wird. Bei der Ausführungsform wird der Source-Bereich 205a der Kondensator-Kontaktbereich und der Drain-Bereich 205b wird der Bitleitungsbereich.

[0050] Anschließend wird eine Isolationsschicht (nicht gezeigt) über den Transistoren und dem Feldoxidbereich 202 abgeschieden und teilweise durch ein lithographisches Verfahren geätzt, wodurch die Source/Drain-Bereiche 205a und 205b teilweise freigelegt sind. Eine Polysiliziumschicht wird auf der gesamten Oberfläche der resultierenden Struktur abgeschieden und zum Ausbilden der Lötungen- bzw. Pad-Elektroden 204a und 204b, die jeweils mit den Source/Drain-Bereichen 205a bzw. 205b in Kontakt stehen, maskiert. Alternativ können die Pad-Elektroden 204a und 204b durch ein Self-Aligned-Kontaktverfahren ausgebildet werden.

[0051] Anschließend wird ein Borophosphorsilikat Glas (BPSG) oder ein undotiertes Silikatglas (undoped silicate glass = USG) über den Pad-Elektroden 204a und 204b sowie dem Halbleitersubstrat 200 abgeschieden, wodurch eine erste Isolationszwischenschicht 206 ausgebildet ist. Die erste Isolationszwischenschicht 206 wird durch ein Rückfluß-Verfahren (reflow method), einem Rückätz-Verfahren oder einem chemisch-mechanischen Polier-Verfahren (CMP-Verfahren) planarisiert. Durch Verwendung eines lithographischen Verfahrens wird die erste Isolationszwischenschicht 206 zum Ausbilden einer Bitleitungs-Kontaktöffnung (207 in Fig. 5), die die mit dem Drain-Bereich 205b in Kontakt stehende Pad-Elektrode 204b freilegt, teilweise zurückgeätzt.

[0052] Nach einem Abscheiden eines Metalls, wie beispielsweise Wolfram (W), Titan (Ti) oder Titanitrid (TiN) bis zu einer Dicke von ungefähr 1000 ~ 1200 Å, so daß die Bitleitungs-Kontaktöffnung 207 aufgefüllt ist, wird anschließend eine Siliziumnitridschicht bis zu einer Dicke von ungefähr 1800 ~ 2000 Å darauf abgeschieden. Die Siliziumnitridschicht und das abgeschiedene Metall werden durch ein lithographisches Verfahren maskiert, wodurch die liniartige Bitleitungsstrukturen 211 einschließlich einer Bitleitung 208 und einer Siliziumnitridmaskierungsschicht 210 ausgebildet sind. Alternativ kann die Bitleitung 208 aus einem dotierten Polysilizium anstelle des zuvor beschriebenen Metallmaterials bestehen.

[0053] Gemäß Fig. 7B wird eine Siliziumoxidschicht 212c durch ein chemisches Dampf-Abscheidungs-Verfahren (CVD-Verfahren) über den Bitleitungsstrukturen 211 und der ersten Isolationszwischenschicht 206 abgeschieden.

[0054] Gemäß Fig. 7C wird unter Verwendung des hochselektiven Ätzverhältnisses der Siliziumoxidschicht 212c im Bezug auf die Siliziumnitridschicht 210 die Siliziumoxidschicht 212c zum Ausbilden von Siliziumoxidabstandshaltern 212 auf den Seiten jedes der Bitleitungsstrukturen 211 anisotrop weggeätzt. Der Siliziumoxidabstandshalter 212 wird mit einer Höhe ausgebildet, die niedriger als die obere Oberfläche 210a an der Siliziumnitridschicht 210 ist, wodurch die oberen Abschnitte der Seiten 210b jeder der Bitleitungsstrukturen 211 teilweise freigelegt sind. Vorzugsweise besteht der Siliziumoxidabstandshalter 212 aus einem CVD-Siliziumoxid und ist derart ausgebildet, daß der Abstand (d) zwischen der oberen Oberfläche 210a der Siliziumnitridmaskierungsschicht 210 und der oberen Oberfläche 212a des Siliziumoxidabstandshalters 212 mehr als ungefähr 300 Å, vorzugsweise 1000 Å beträgt. Die Höhe des Siliziumoxidabstandshalters 212 beträgt vorzugsweise ungefähr 300 bis 400 Å. Alternativ kann die obere Oberfläche 212a des Siliziumoxidabstandshalters 212 niedriger als die Bodenoberfläche 210c der Siliziumnitridmaskierungsschicht 210 ausgebildet sein. Vorzugsweise beträgt die Ätz-

selektivität der Siliziumoxid- zu den Siliziumnitrid-Schichten mehr als 5 : 1. Das Ätzverfahren wird unter Verwendung eines Ätzgases durchgeführt, welches ein Gas enthält, bei welchem das Verhältnis (Atomverhältnis) von Kohlenstoff (C) zu Fluor (F) 1 : 2 oder größer ist. Beispiele des Ätzgases enthalten ein Mischgas wie beispielsweise eines aus der Gruppe von C_4F_8 , C_5F_8 und C_6F_6 , Sauerstoff (O_2)-Gas und Argon (Ar)-Gas.

[0055] Gemäß Fig. 7D wird unter Verwendung eines chemischen Dampfabscheidungsverfahrens bei Niedrigdruck (low pressure chemical vapor deposition = LPCVD) eine Siliziumnitridschicht 213 durchgehend auf der ersten Isolationszwischenschicht 206, der oberen Oberfläche 210a und den Seiten 210b der Bitleitungsstrukturen 211 und den Oberflächen der Siliziumoxidabstandshalter 212 abgeschieden.

[0056] Gemäß Fig. 7E wird die Siliziumnitridschicht 213 zum Ausbilden der Siliziumnitridabstandshalter 214 auf den vorhergehend freigelegten Seiten 210b jeder der Bitleitungsstrukturen 211 und den Oberflächen des Siliziumoxidabstandshalter 212 anisotrop weggeätzt. Die Siliziumnitridabstandshalter 214 dienen als Stufe bzw. Ansatz zum Stützen der Bitleitungsstrukturen 211 während eines darauffolgenden Ätzverfahrens zum Ausbilden eines selbst ausgerichteten Kontakts.

[0057] Gemäß Fig. 7F wird eine Siliziumoxidschicht bis zu einer Dicke von etwa 8000 ~ 15000 Å auf der resultierenden Struktur abgeschieden, wodurch eine zweite Isolationszwischenschicht 216 ausgebildet ist.

[0058] Gemäß Fig. 7G wird nach einem Beschichten der zweiten Isolationszwischenschicht 216 mit einer Photolackschicht die Photolackschicht freigelegt bzw. belichtet und zur Verwendung als eine Maske für den selbst ausgerichteten Kontakt entwickelt, wodurch ein Photolackmuster (nicht gezeigt) ausgebildet ist, das einen selbst ausgerichteten Kontaktbereich freilegt. Durch Verwendung des Photolackmusters als eine Maske wird die zweite Isolationszwischenschicht 216 unter Verwendung des hochselektiven Ätzverhältnisses des Siliziumoxids bezüglich der Siliziumnitridschichten anisotrop geätzt, wodurch die selbst ausgerichtete Kontaktöffnung 218 ausgebildet wird, die den Source-Bereich 205a oder die Pad-Elektrode 204a, die mit dem Source-Bereich 205a in Kontakt steht, und den darauf ausgebildeten Siliziumnitridabstandshalter 214 freilegt.

[0059] Gemäß Fig. 7H wird das Photolackmuster durch Ashing- und Strip-Verfahren entfernt. Anschließend wird eine Kondensator-Leitungsschicht 220, beispielsweise dotiertes Polysilizium, durch ein CVD-Verfahren derart abgeschieden, daß die selbst ausgerichtete Kontaktöffnung 218 ausgefüllt ist. Die Kondensator-Leitungsschicht 220 wird durch ein Rückätzen oder ein CMP-Verfahren solange entfernt, bis die obere Oberfläche der zweiten Isolationszwischenschicht 216 freigelegt ist, wodurch lediglich eine steckerartige Kondensatorleitungsschicht 220 innerhalb der selbst ausgerichteten Kontaktöffnung 218 verbleibt. Alternativ kann die Kondensator-Leitungsschicht 220 mit einem Speicherelektroden-Muster durch ein herkömmliches Lithographie-Verfahren maskiert werden.

[0060] Anschließend wird über allgemeine Verfahren zum Ausbilden eines Kondensators ein Kondensator ausgebildet, der aus einer Speicherelektrode, welche in Kontakt mit dem Source-Bereich 205a über die selbst ausgerichtete Kontaktöffnung steht, einer dielektrischen Schicht und einer Plattenelektrode besteht.

[0061] Gemäß der ersten Ausbildungsform der vorliegenden Erfindung sind die Seiten der Bitleitung 208 mit dem Siliziumoxidabstandshalter 212 bedeckt, dessen dielektrische Konstante niedriger als die von Siliziumnitrid ist, wo-

durch die Ladungskapazität (Bitleitungskapazität) zwischen der Bitleitung 208 und der Kondensatorleitungsschicht 220 in der selbst ausgerichteten Kontaktöffnung 218 verringert ist.

[0062] Da ferner die obere Oberfläche 212a des Siliziumnitridabstandshalters 212 niedriger als die obere Oberfläche 210a der Siliziumnitridmaskierungsschicht 210 ist, besteht lediglich der Siliziumnitridabstandshalter 214 an den Ecken der Bitleitungsstruktur 211. Dem entsprechend ist auch, wenn eine Fehlausrichtung während eines Lithographieverfahrens für den selbst ausgerichteten Kontakt auftritt, der Stufenrand (shoulder margin) durch den Siliziumnitridabstandshalter 214 sichergestellt und somit wird kein elektrischer Kurzschluß zwischen der Bitleitung 208 und dem Kontaktstecker 220 erzeugt.

[0063] Um den Verringerungseffekt der Ladungskapazität zu verbessern, wird es bevorzugt, daß die obere Oberfläche 212a des Siliziumabstandshalters 212 höher als die Bodenoberfläche 210c der Siliziumnitridmaskierungsschicht 210 ist.

[0064] Fig. 8 zeigt eine Querschnittsansicht einer DRAM-Vorrichtung mit einer selbst ausgerichteten Kontaktöffnung gemäß einer zweiten Ausführungsform der vorliegenden Erfindung entlang einer Linie 8-8' in Fig. 5.

[0065] Die DRAM-Vorrichtung gemäß der zweiten Ausführungsform ist die Gleiche wie bei der zuvor beschriebenen ersten Ausführungsform mit der Ausnahme, daß die obere Oberfläche 212a des Siliziumoxidabstandshalters 212 niedriger als die Bodenoberfläche 210c der Siliziumnitridmaskierungsschicht 210 ist, um dadurch den Stufenrand des selbst ausgerichteten Kontaktverfahrens zu verbessern.

[0066] Wie gemäß der zuvor beschriebenen vorliegenden Erfindung werden an den Seiten der Leiterstruktur, die die erste Leitungsschicht aufweist, die mit der Siliziumnitridmaskierungsschicht bedeckt ist, Dual-Abstandshalter bestehend aus dem Siliziumoxidabstandshalter und dem Siliziumnitridabstandshalter ausgebildet. Die Seiten der ersten Leitungsschicht sind mit dem Siliziumoxidabstandshalter bedeckt, dessen Dielektrizitätskonstante niedrig ist, wodurch die Ladungskapazität zwischen der ersten Leitungsschicht und der zweiten Leitungsschicht innerhalb der selbst ausgerichteten Kontaktöffnung verringert ist.

[0067] Da ferner der Siliziumoxidabstandshalter mit einer Höhe ausgebildet ist, die niedriger als die obere Oberfläche der Siliziumnitridmaskierungsschicht ist, bestehen die Siliziumnitridabstandshalter lediglich an den Ecken der Leiterstruktur. Obgleich während eines Lithographieverfahrens für den selbst ausgerichteten Kontakt eine Fehlausrichtung auftreten kann, wird demgemäß kein elektrischer Kurzschluß zwischen der ersten Leitungsschicht und der zweiten Leitungsschicht innerhalb der selbst ausgerichteten Kontaktöffnung erzeugt.

[0068] Während die vorliegende Erfindung insbesondere im Bezug auf ihre beispielhaften Ausführungsformen gezeigt und beschrieben worden ist, ist es für den Fachmann ersichtlich, daß zahlreiche Veränderungen in Form und Detail ausgeführt werden können, ohne von dem Inhalt und Umfang der Erfindung, wie sie durch die beigefügten Ansprüche bestimmt sind, abzuweichen.

Patentansprüche

1. Halbleitervorrichtung umfassend:

ein Halbleitersubstrat;
zwei voneinander beabstandete Leiterstrukturen, die auf dem Halbleitersubstrat ausgebildet sind, wobei jeder der Leiterstrukturen eine erste Leitungsschicht und eine auf dieser ersten Leitungsschicht aufgebraute Si-

liziurnitridmaskierungsschicht aufweist;

Siliziumoxidabstandshalter, die auf beiden Seiten der Leiterstrukturen ausgebildet sind, wobei eine obere Oberfläche der Siliziumoxidabstandshalter mit einer Höhe ausgebildet ist, die niedriger als die einer oberen Oberfläche der Siliziumnitridmaskierungsschicht ist, wodurch die oberen Abschnitte der Leiterstrukturen teilweise freigelegt sind;

Siliziumnitridabstandshalter, die auf den freigelegten oberen Seitenabschnitten der Leiterstrukturen und der Oberfläche der Siliziumoxidabstandshalter ausgebildet sind;

eine Isolationsschicht, die auf den Leiterstrukturen und dem Halbleitersubstrat ausgebildet ist, wobei die Isolationsschicht eine selbst ausgerichtete Kontaktöffnung aufweist, die die Siliziumnitridabstandshalter zwischen den beabstandeten Leiterstrukturen freilegt;

eine zweite Leitungsschicht, die die selbst ausgerichtete Kontaktöffnung auffüllt und mit den Leiterstrukturen selbst ausgerichtet ist.

2. Vorrichtung nach Anspruch 1, wobei die Siliziumoxidabstandshalter derart ausgebildet sind, daß ein Abstand zwischen der oberen Oberfläche der Siliziumnitridmaskierungsschicht und der oberen Oberfläche der Siliziumoxidabstandshalter mindestens ungefähr 300 beträgt.

3. Vorrichtung nach Anspruch 1, wobei die obere Oberfläche der Siliziumoxidabstandshalter mit einer Höhe ausgebildet sind, die niedriger als die Bodenoberfläche der Siliziumnitridmaskierungsschicht ist.

4. Vorrichtung nach Anspruch 1, wobei die Siliziumoxidabstandshalter aus einem durch ein chemisches Dampfabscheidungsverfahren abgeschiedenes Siliziumoxid bestehen.

5. Vorrichtung nach Anspruch 1, wobei die erste Leitungsschicht aus einem Metall besteht.

6. Dynamische Speichervorrichtung mit wahlfreiem Zugriff umfassend:

eine erste Isolationszwischenschicht, die auf einem Halbleitersubstrat ausgebildet ist, in welchem Transistoren bestehend aus einem Gate, einem Kondensator-Kontaktbereich und einem Bitleitungs-Kontaktbereich ausgebildet sind, wobei die erste Isolationszwischenschicht eine Bitleitungs-Kontaktöffnung aufweist, die den Bitleitungs-Kontaktbereich freilegt;

zwei auf der ersten Isolationszwischenschicht ausgebildete beabstandete Bitleitungsstrukturen, die einen unterhalb angeordneten und zwischen den Bitleitungsstrukturen ausgerichteten Kondensator-Kontaktbereich aufweisen, wobei die Bitleitungsstrukturen eine Bitleitung, die mit dem Bitleitungs-Kontaktbereich über die Bitleitungs-Kontaktöffnung in Kontakt steht, und eine auf der Bitleitung aufgebraute Siliziumnitridmaskierungsschicht enthält;

Siliziumoxidabstandshalter, die auf den Seiten der Bitleitungsstrukturen ausgebildet sind, wobei eine obere Oberfläche der Siliziumoxidabstandshalter mit einer Höhe ausgebildet ist, die niedriger als die einer oberen Oberfläche einer Siliziumnitridmaskierungsschicht ist, wodurch obere Seitenabschnitte der Bitleitungsstrukturen teilweise freigelegt sind;

Siliziumnitridabstandshalter, die auf den freigelegten oberen Seitenabschnitten der Bitleitungsstrukturen und der Oberfläche der Siliziumoxidabstandshalter ausgebildet sind;

eine zweite Isolationszwischenschicht, die auf den Bitleitungsstrukturen und der ersten Isolationszwischenschicht ausgebildet ist, wobei die zweite Isolationszwi-

schenschicht eine selbst ausgerichtete Kontaktöffnung aufweist, die die Siliziumnitridabstandshalter in dem Kondensator-Kontaktbereich freilegt; und eine Kondensatorleitungsschicht, die die selbst ausgerichtete Kontaktöffnung auffüllt und mit dem Bitleitungsstrukturen selbst ausgerichtet ist.

7. Vorrichtung nach Anspruch 6, wobei die Siliziumoxidabstandshalter derart ausgebildet sind, daß ein Abstand zwischen der oberen Oberfläche der Siliziumnitridmaskierungsschicht und der oberen Oberfläche der Siliziumoxidabstandshalter mindestens ungefähr 300 Å beträgt.

8. Vorrichtung nach Anspruch 6, wobei die obere Oberfläche der Siliziumoxidabstandshalter mit einer Höhe ausgebildet sind, die niedriger als eine Bodenoberfläche der Siliziumnitridmaskierungsschicht ist.

9. Verfahren nach Anspruch 6, wobei die Siliziumoxidabstandshalter aus einem CVD-Siliziumoxid bestehen,

10. Vorrichtung nach Anspruch 6, wobei die Bitleitung aus einem Metall besteht.

11. Herstellungsverfahren für eine Halbleitervorrichtung umfassend:

Ausbilden von zwei beabstandeten Leiterstrukturen auf einem Halbleitersubstrat, wobei jede Leiterstruktur eine erste Leitungsschicht und eine auf der ersten Leitungsschicht aufgebraute Siliziumnitridmaskierungsschicht enthält;

Ausbilden von Siliziumoxidabstandshaltern an Seiten jeder der Leiterstrukturen, wobei eine obere Oberfläche der Siliziumoxidabstandshalter mit einer Höhe ausgebildet ist, die niedriger als die einer oberen Oberfläche einer Siliziumnitridmaskierungsschicht ist, wodurch oberer Seitenabschnitte der Leiterstrukturen teilweise freigelegt sind;

Ausbilden von Siliziumnitridabstandshaltern auf den freigelegten oberen Seitenabschnitten der Leiterstrukturen und der Oberfläche der Siliziumoxidabstandshalter; Ausbilden einer Isolationsschicht aus Siliziumoxid auf den Leiterstrukturen und dem Substrat;

teilweises Ätzen der Isolationsschicht zum Ausbilden einer selbst ausgerichteten Kontaktöffnung, die Siliziumnitridabstandshalter zwischen den beabstandeten Leitern freilegt; und

Auffüllen der selbst ausgerichteten Kontaktöffnung mit einer zweiten Leitungsschicht zum Ausbilden einer selbst ausgerichteten Kontaktstruktur.

12. Verfahren nach Anspruch 11, wobei der Schritt eines Ausbildens der Siliziumoxidabstandshalter aufweist:

Abscheiden einer Siliziumoxidschicht auf den Leiterstrukturen und dem Substrat durch ein chemisches Dampfabscheidungsverfahren;

Anisotropes Ätzen der Siliziumoxidschicht, wobei eine Ätzselektivität des Siliziumoxids bezüglich der Siliziumnitridschichten größer als ungefähr 5 : 1 ist, so daß eine obere Oberfläche der Oxidabstandshalter mit einer Höhe ausgebildet ist, die niedriger als die einer oberen Oberfläche der Siliziumnitridmaskierungsschicht ist.

13. Verfahren nach Anspruch 12, das ferner ein anisotropes Ätzen der Siliziumoxidschicht unter Verwendung eines Ätzgases aufweist, das ein Gas mit einem Verhältnis von Kohlenstoff (C) zu Fluor (F) von mindestens 1 : 2 enthält.

14. Verfahren nach Anspruch 13, wobei das Gas zumindest eines ist, das aus der Gruppe bestehend aus C_2F_8 , C_3F_8 und C_4F_6 ausgewählt ist.

15. Verfahren nach Anspruch 12, das ferner ein aniso-

tropes Ätzen der Siliziumoxidschicht aufweist, bis ein Abstand zwischen der oberen Oberfläche der Siliziumnitridmaskierungsschicht und der oberen Oberfläche der Siliziumoxidabstandshalter mindestens ungefähr 300 Å aufweist.

16. Herstellungsverfahren für eine dynamische Speichervorrichtung mit wahlfreiem Zugriff umfassend: Ausbilden einer ersten Isolationszwichenschicht auf einem Halbleitersubstrat, in welchem Transistoren bestehend aus einem Gate, einem Kondensator-Kontaktbereich und einem Bitleitungs-Kontaktbereich ausgebildet sind;

teilweises Ätzen der ersten Isolationszwichenschicht zum Ausbilden einer Bitleitungs-Kontaktöffnung, die den Bitleitungs-Kontaktbereich freilegt;

Ausbilden von zwei beabstandeten Bitleitungsstrukturen auf der ersten Isolationszwichenschicht, wobei der Kondensator-Kontaktbereich unterhalb der Bitleitungsstrukturen angeordnet ist und zwischen den Bitleitungsstrukturen ausgerichtet ist, und wobei die Bitleitungsstrukturen eine Bitleitung, die über die Bitleitungs-Kontaktöffnung mit dem Bitleitungs-Kontaktbereich in Kontakt steht, und eine auf der Bitleitung aufgebraute Siliziumnitridmaskierungsschicht enthält;

Ausbilden von Siliziumoxidabstandshaltern auf den Seiten jeder Bitleitungsstruktur, wobei eine obere Oberfläche der Oxidabstandshalter mit einer Höhe ausgebildet ist, die niedriger als die einer oberen Oberfläche der Siliziumnitridmaskierungsschicht ist, wodurch obere Seitenabschnitte der Bitleitungsstrukturen teilweise freigelegt sind;

Ausbilden von Siliziumnitridabstandshaltern auf den freigelegten oberen Seitenabschnitten jeder der Bitleitungsstrukturen und der Oberfläche der Siliziumoxidabstandshalter;

Ausbilden einer zweiten Isolationszwichenschicht auf den Bitleitungsstrukturen und der ersten Isolationszwichenschicht;

Teilweises Ätzen der zweiten Isolationszwichenschicht zum Ausbilden einer selbst ausgerichteten Kontaktöffnung, die die Siliziumnitridabstandshalter über den Kondensator-Kontaktbereich freilegt; und Auffüllen der selbst ausgerichteten Kontaktöffnung mit einer Kondensatorleitungsschicht zum Ausbilden einer selbst ausgerichteten Kontaktstruktur.

17. Verfahren nach Anspruch 16, wobei der Schritt eines Ausbildens der Siliziumoxidabstandshalter aufweist:

Abschalten einer Siliziumoxidschicht auf den Bitleitungsstrukturen und dem Halbleitersubstrat durch ein chemisches Dampfabscheidungsverfahren; und anisotropes Ätzen der Siliziumoxidschicht, wobei die Ätzselektivität des Siliziumoxids zu den Siliziumnitridschichten größer als ungefähr 5 : 1 ist, so daß eine obere Oberfläche der Siliziumoxidabstandshalter mit einer Höhe ausgebildet ist, die niedriger als die einer oberen Oberfläche Siliziummaskierungsschicht ist.

18. Verfahren nach Anspruch 17, das ferner ein anisotropes Ätzen der Siliziumoxidschicht unter Verwendung eines Ätzgases aufweist, das ein Gas mit einem Verhältnis von Kohlenstoff (C) zu Fluor (F) von mindestens 1 : 2 enthält.

19. Verfahren nach Anspruch 18, wobei das Gas zumindest eines ist, das aus der Gruppe bestehend aus C_2F_8 , C_3F_8 und C_4F_6 ausgewählt ist.

20. Verfahren nach Anspruch 18, das ferner ein anisotropes Ätzen der Siliziumoxidschicht aufweist, bis ein Abstand zwischen der oberen Oberfläche der Silizium-

nitridmaskierungsschicht und der oberen Oberfläche
der Siliziumoxidabstandshalter mindestens ungefähr
300 Å beträgt.

Hierzu 10 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

FIG. 1
(STAND DER TECHNIK)

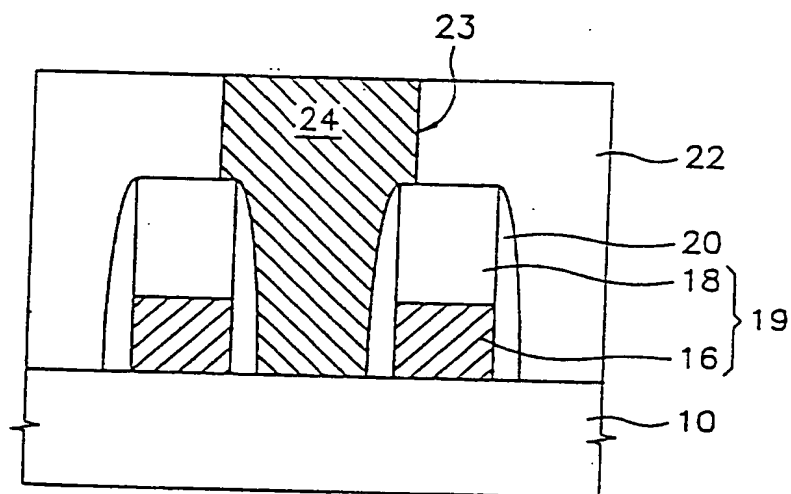


FIG. 2
(STAND DER TECHNIK)

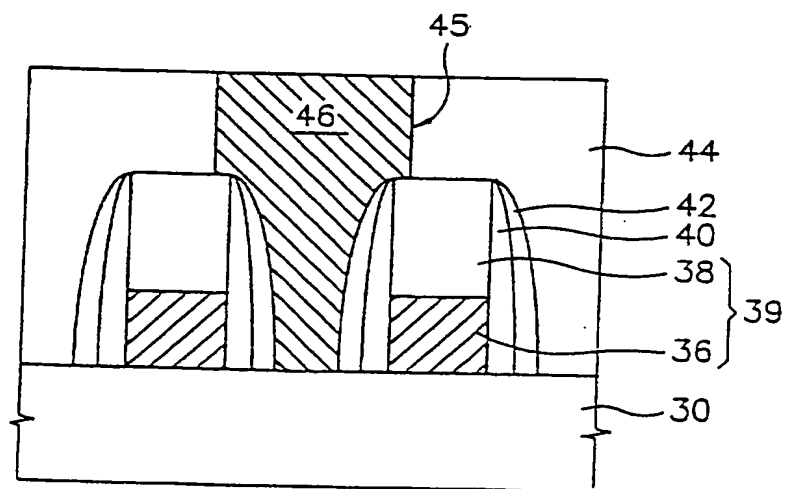


FIG. 3
(STAND DER TECHNIK)

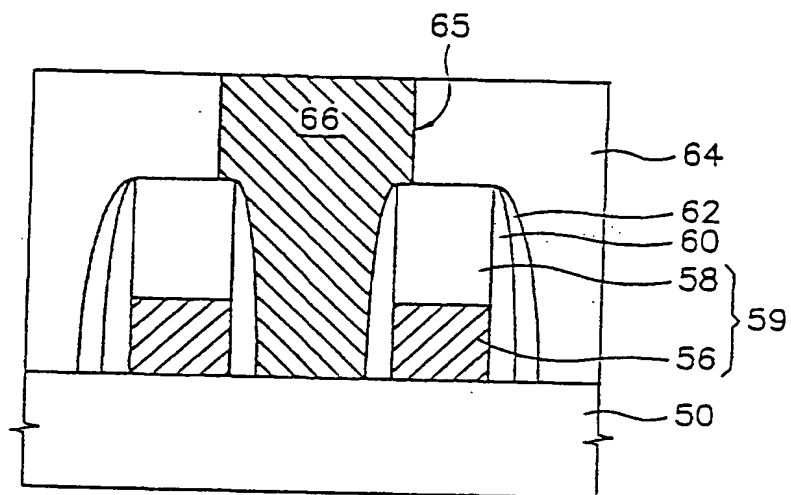


FIG. 4

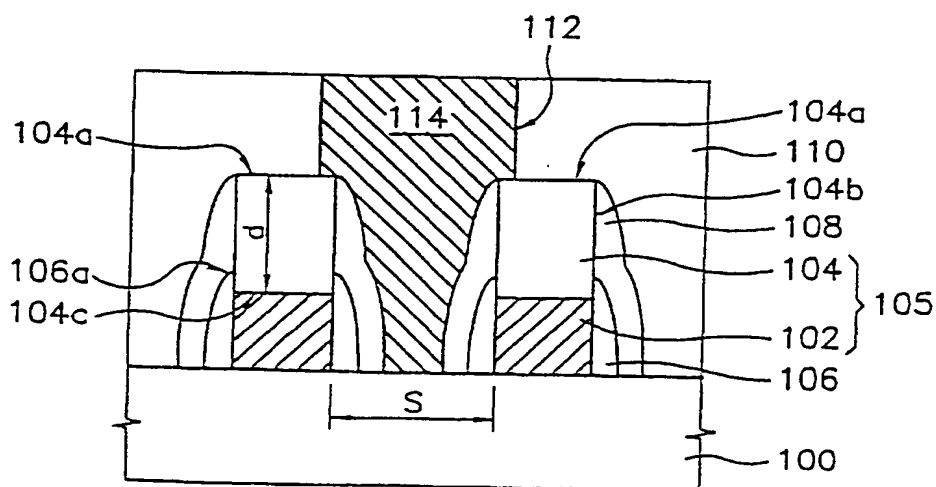


FIG. 5

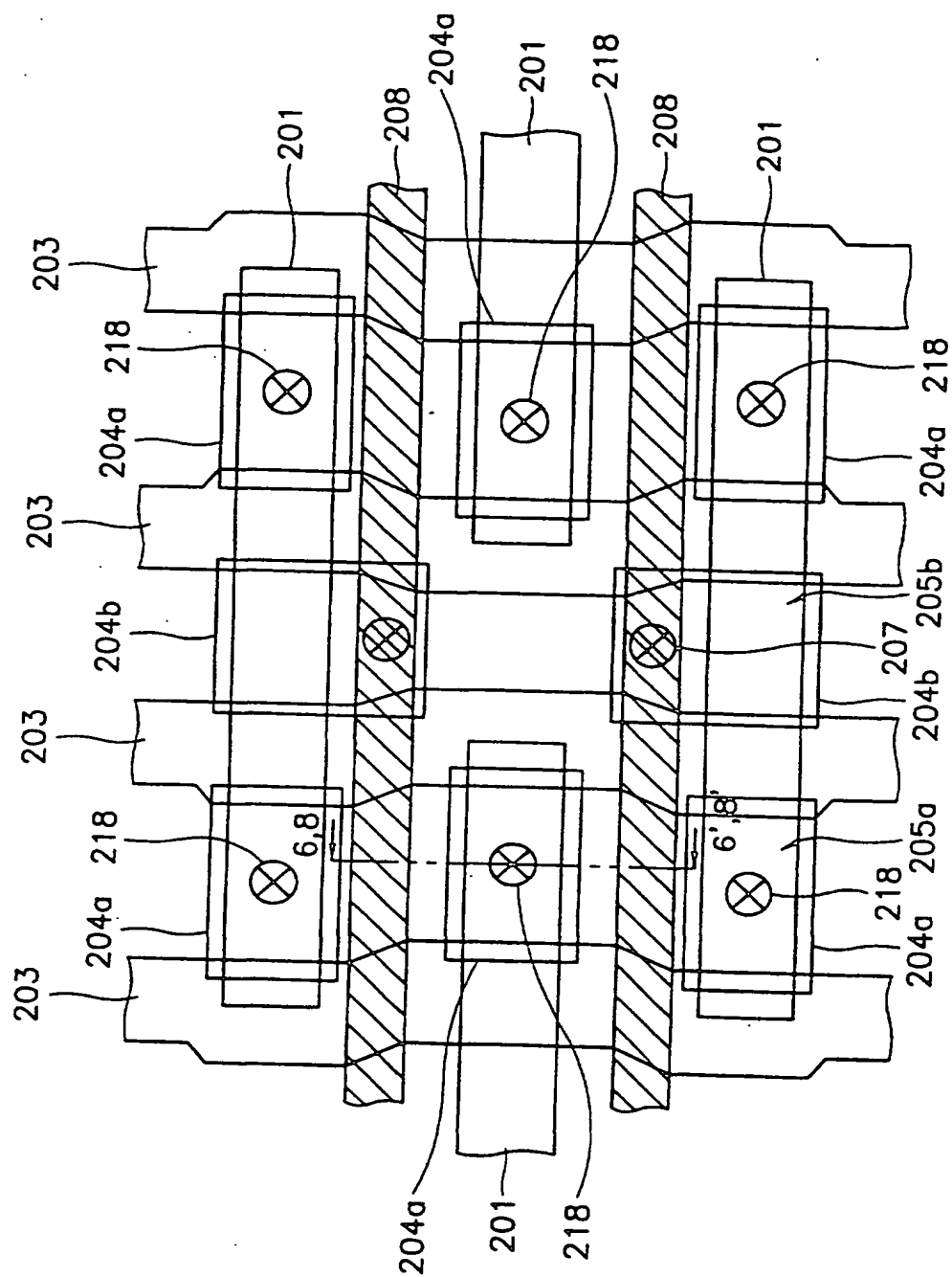


FIG. 6

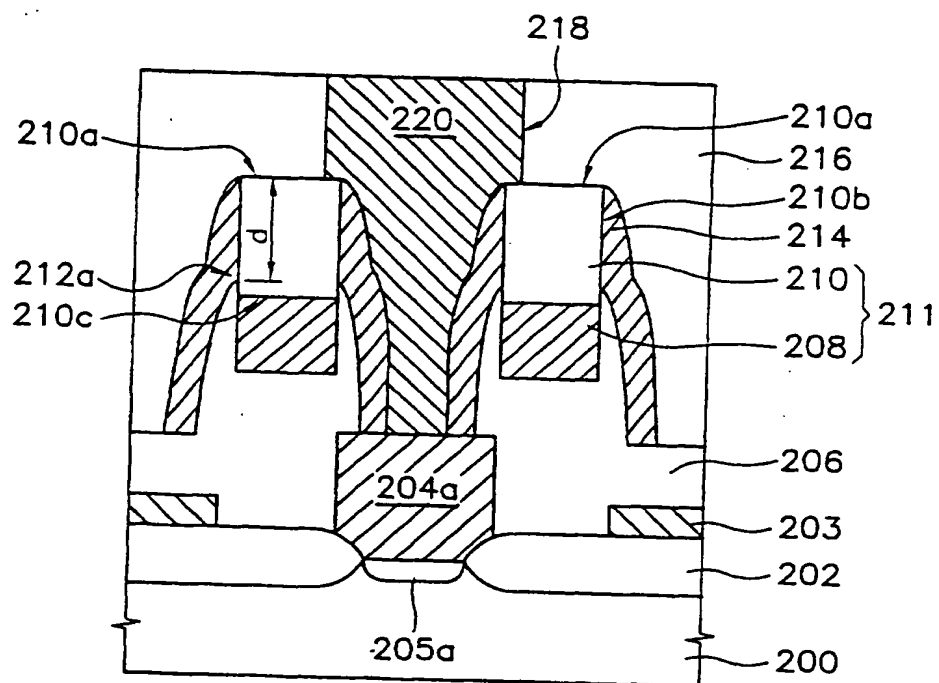


FIG. 7A

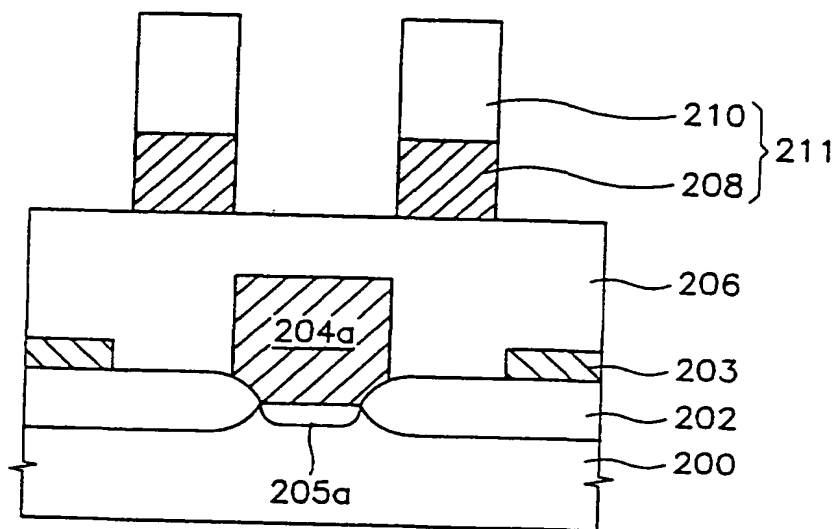


FIG. 7B

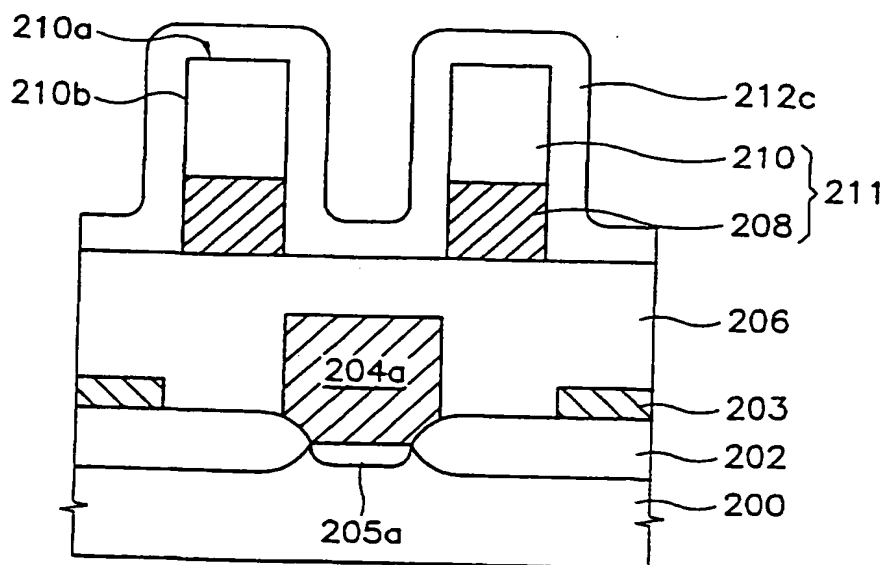


FIG. 7C

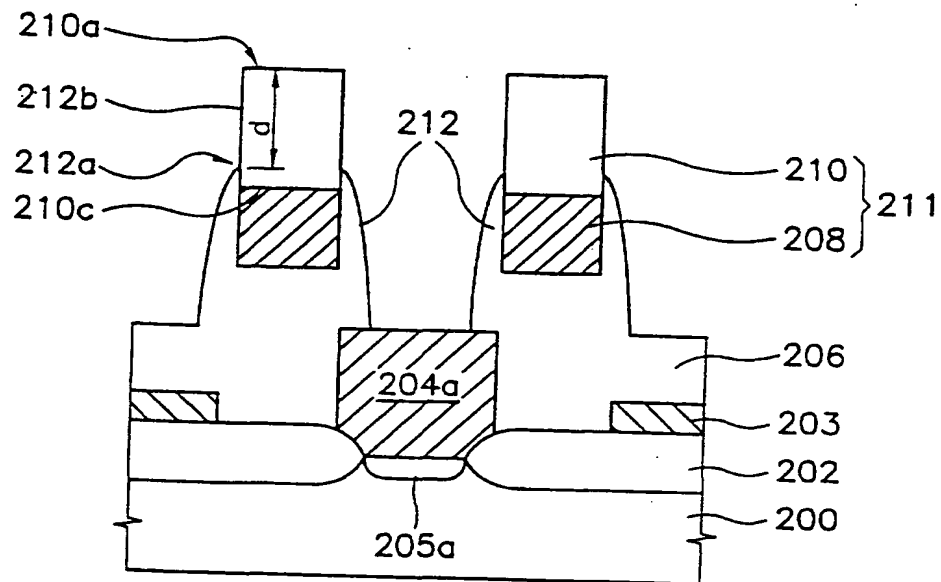


FIG. 7D

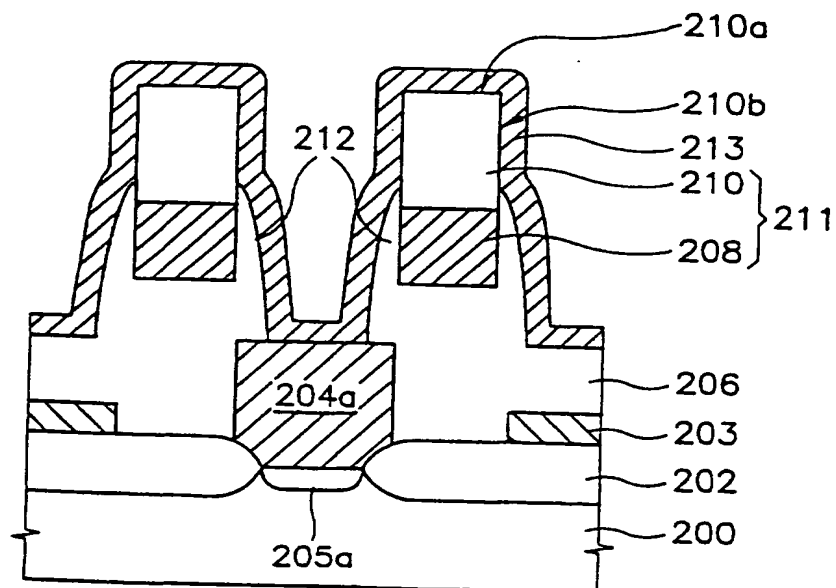


FIG. 7E

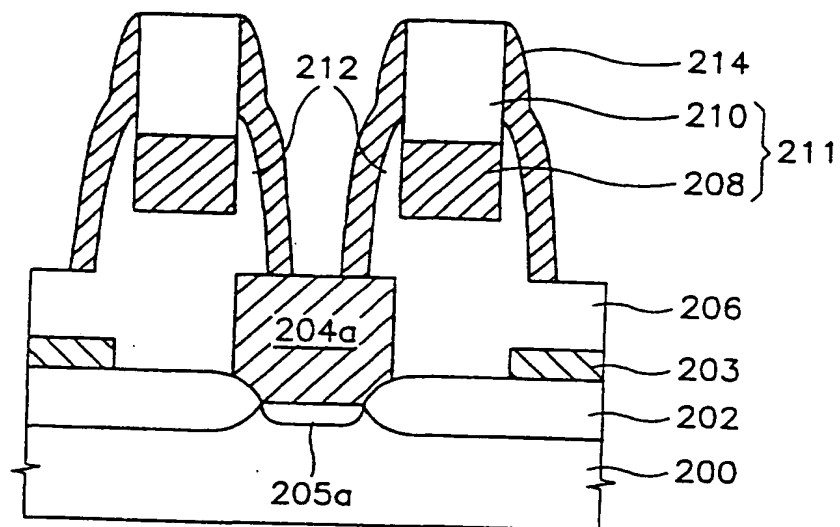


FIG. 7F

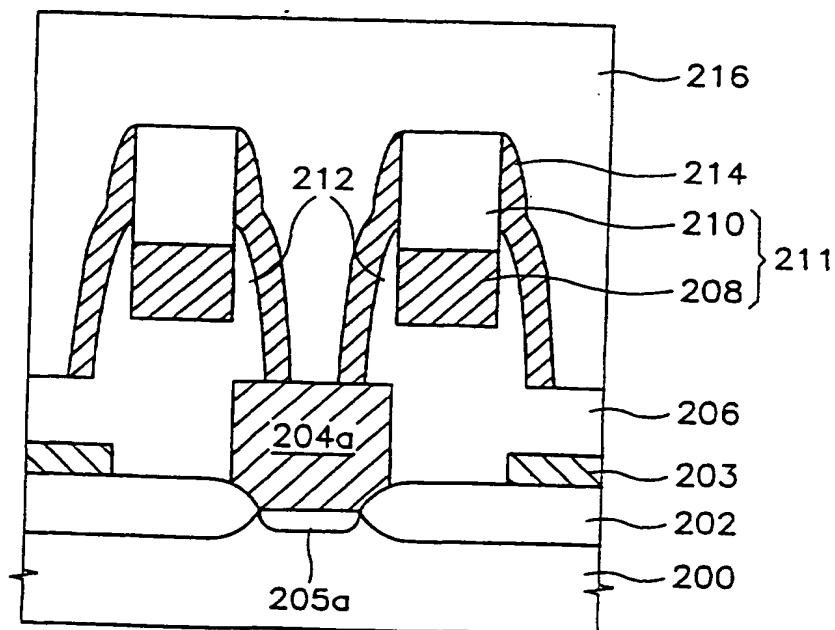


FIG. 7G

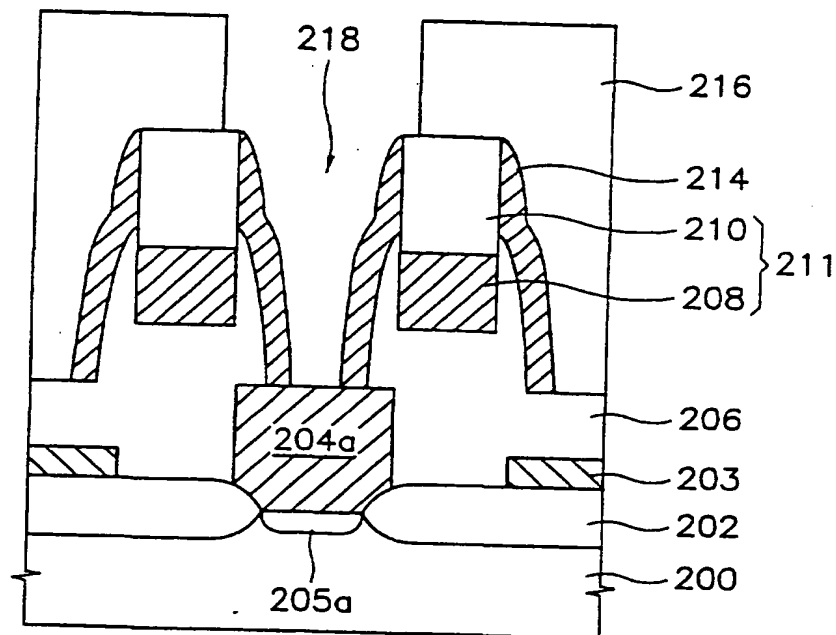


FIG. 7H

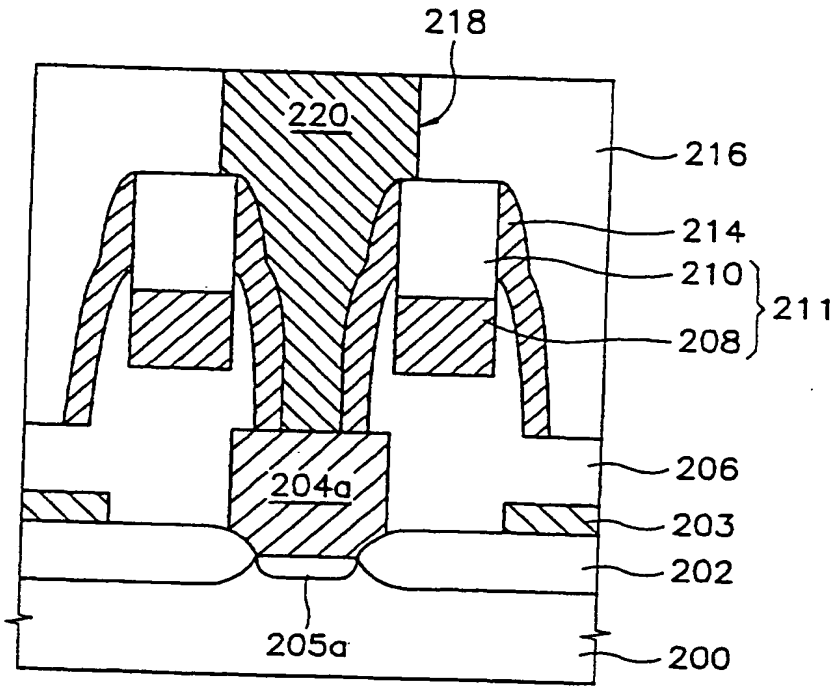
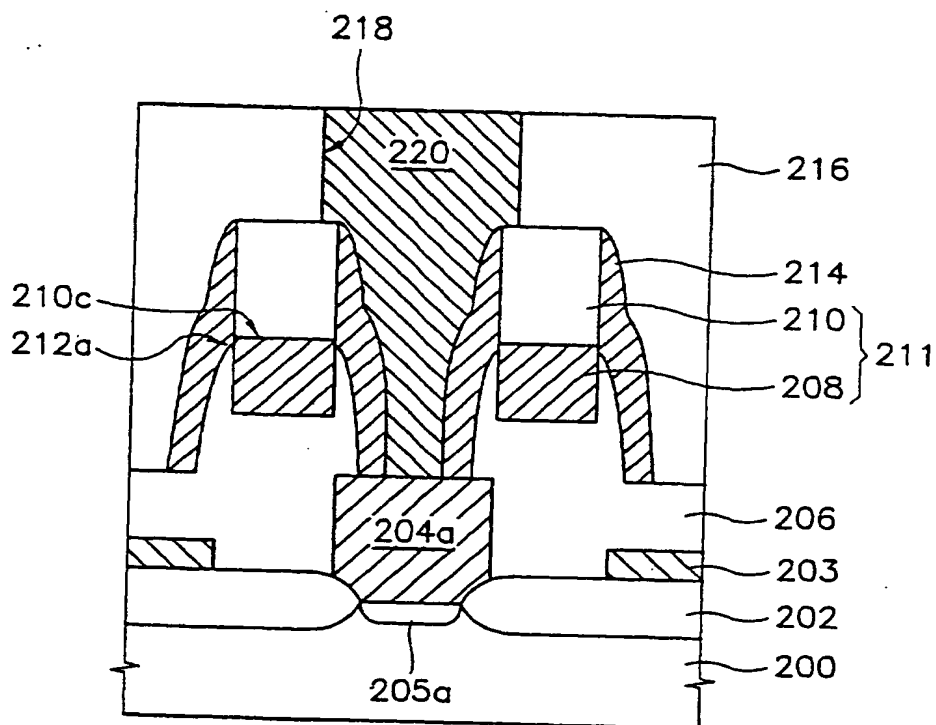


FIG. 8



Semiconductor device with self-aligned contact structure employing dual spacers and method of manufacturing the same

Patent Number: US2002024093
Publication date: 2002-02-28
Inventor(s): AHN TAE-HYUK (KR); JEONG SANG-SUP (KR); KIM MYEONG-CHEOL (KR)
Applicant(s):
Requested Patent: DE10141301
Application Number: US20010933674 20010822
Priority Number(s): KR20000048819 20000823
IPC Classification: H01L29/76; H01L29/94
EC Classification: H01L21/8242B2C
Equivalents: JP2002100685, KR2002015748, TW507321

Abstract

A semiconductor device having a self-aligned contact and a method of manufacturing the same. The device comprises a semiconductor substrate and two spaced apart conductor structures formed on the substrate. Each of the conductor structures includes a first conductive layer covered with a silicon nitride mask layer. Silicon oxide spacers are formed on the sides of each conductor structure to a height lower than the top surface of the silicon nitride mask layer. Silicon nitride spacers are formed on the sides of each conductor structure and the surface of the silicon oxide spacers. Over the conductor structures and substrate, there is formed an insulating layer of silicon oxide having a self-aligned contact hole exposing the silicon nitride spacers and partially extending over each conductor structure. The self-aligned contact hole is filled up with a second conductive layer self-aligned to the conductor structures. The dual spacers, consisting of the silicon oxide spacer and the silicon nitride spacer, formed on the sides of the conductor structure, decrease the loading capacitance between the first conductive layer and the second conductive layer within the self-aligned contact hole, while still providing sufficient insulation against shorts

Data supplied from the esp@cenet database - I2

RECEIVED
JAN 10 2003
U.S. PATENT AND
TRADEMARK OFFICE

DISNEY NO. P2002, 1029

SERIAL NO: _____

APPLICANT: J. Houk et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 325-1100